

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156970

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

H02M 3/155
G05F 1/10

(21)Application number : 10-328090

(71)Applicant : DENSO CORP

(22)Date of filing : 18.11.1998

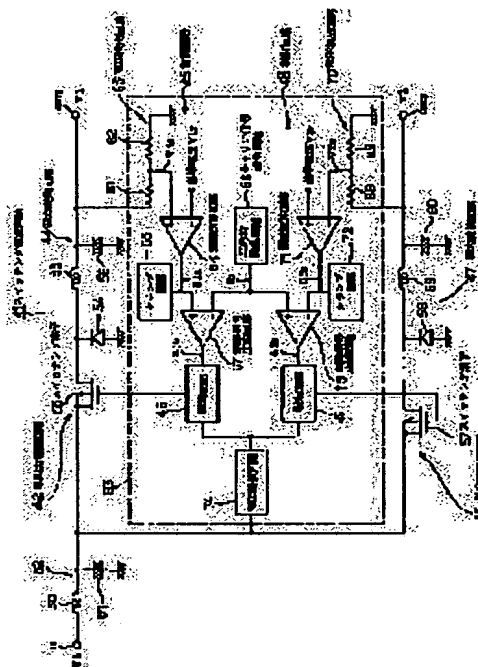
(72)Inventor : KOYASU TAKAHISA

(54) SWITCHING POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale of a voltage compensation circuit in a power source circuit, which is provided with the voltage compensation circuit and obtains a plurality of output voltages.

SOLUTION: Two power source main circuits 44, 47, control circuits 45, 48 and drive circuits 46, 49 are installed, and a voltage compensation circuit 74 which compensates for the decrease in an input voltage VB is installed in common with the drive circuits 46, 49. The control circuit 45 and 48 make error amplifiers 64, 71 operate in opposite phase, and make comparators 67, 73 operate in the opposite phase. With respect to the reference level of 50% on which a triangular wave signal SC is divided, a clamp circuit 65 limits a voltage-setting signal S1a so as not to be lower than or equal to the reference level. A clamp circuit 72 limits a voltage-setting signal S2a so as not to be equal to or higher than the reference level. As a result, on-periods of FETs 53 and 57 will not overlap, and current supply capability of the circuit 74 can be reduced, and a chip area which is occupied in an IC 83 by the circuit 74 can be reduced.



LEGAL STATUS

[Date of request for examination]

22.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156970

(P2000-156970A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl.

識別記号

F I

テロト(参考)

H 0 2 M 3/155

H 0 2 M 3/155

V 5 H 4 1 0

G 0 5 F 1/10

3 0 4

G 0 5 F 1/10

3 0 4 M 5 H 7 3 0

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号

特願平10-328090

(22) 出願日

平成10年11月18日(1998.11.18)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 子安 貴久

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

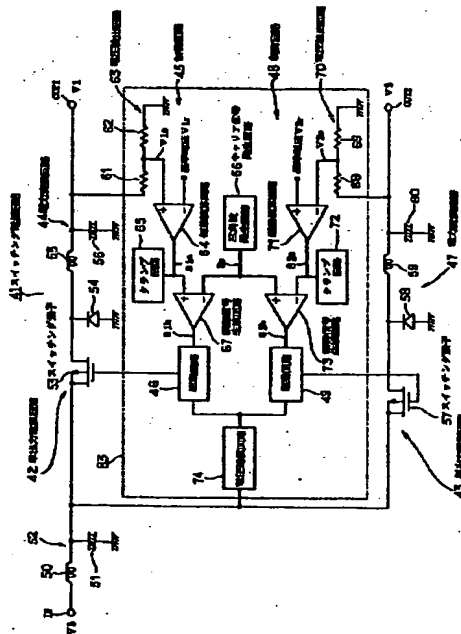
最終頁に続く

(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】 電圧補償回路を備えるとともに複数の出力電圧を得る電源回路において、電圧補償回路の回路規模を縮小化する。

【解決手段】 2つの電源主回路44、47、制御回路45、48、駆動回路46、49を備え、駆動回路46、49に対し入力電圧VBの低下を補償する電圧補償回路74を共通に設ける。制御回路45および48は、エラーアンプ64と71とを逆位相で動作させるとともにコンパレータ67と73とを逆位相で動作させる。三角波信号Scを2分する50%の基準レベルに対し、クランプ回路65は電圧設定信号S1aがその基準レベル以下とならないように制限し、クランプ回路72は電圧設定信号S2aがその基準レベル以上とならないように制限する。これによりFET53と57とのオン期間の重なりがなくなるので、電圧補償回路74の電流供給能力を低減でき、IC83において電圧補償回路74が占めるチップ面積を縮小できる。



【特許請求の範囲】

【請求項1】 スイッチング素子を備えそのスイッチング動作に従って電力変換を行う電力変換回路と、この電力変換回路の出力が所定出力となるように前記スイッチング素子のスイッチング動作を制御する制御回路と、この制御回路から出力される制御信号に従って前記スイッチング素子を駆動する駆動回路とから構成される単出力電源回路を複数備えたスイッチング電源回路において、前記複数の駆動回路から出力される駆動電圧が前記スイッチング素子が十分にオンできるレベルの電圧となるように補償する電圧補償回路を備え、

前記制御回路は、前記スイッチング素子のオン期間を他のスイッチング素子のオフ期間の範囲内で設定してスイッチング動作を制御する構成となっていることを特徴とするスイッチング電源回路。

【請求項2】 前記単出力電源回路を2個備えた場合のスイッチング電源回路において、

前記制御回路は、

前記電力変換回路の出力電圧を検出する電圧検出回路と、

この電圧検出回路の検出電圧と基準電圧との差を演算する偏差演算回路と、

この偏差演算回路の出力信号とキャリア信号とを比較して制御信号を生成する制御信号生成回路とを備え、

前記2つの制御回路に共通して与えられるキャリア信号を生成するキャリア信号発生回路を設け、

前記2つの制御信号生成回路は、前記キャリア信号を基準レベルと比較して得られる正側および負側の2つのキャリア信号のいずれか一方に基づいてそれぞれが前記制御信号を生成するように構成されていることを特徴とする請求項1記載のスイッチング電源回路。

【請求項3】 前記2つの制御回路は、それぞれ制御信号を所定のデューティ比に制限するクランプ回路を備えたことを特徴とする請求項2記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の電圧を出力可能なスイッチング電源回路に関する。

【0002】

【従来の技術】近年、マイクロコンピュータ（以下、マイコンと称す）の電源電圧は、低電圧化の要請によって従来において主流であった5Vから例えば3.3Vあるいは2.5Vへと徐々に低下する傾向にある。また、マイコンの動作周波数は高速化の要請から年々上昇する傾向にある。それに伴ってマイコンの電源回路は、比較的热損失の大きいシリーズレギュレータに替わりスイッチングレギュレータ（以下、スイッチング電源と称す）が主流となってきている。この場合、スイッチング電源の出力電圧をマイコンの電源電圧よりやや高めに設定し、

この出力電圧をさらにシリーズレギュレータにより安定化することにより、マイコンに対してスイッチングノイズの少ないより安定した電源電圧を供給することができる。

【0003】これに対して、センサなどの電源電圧は依然として5V仕様のものが多い。従って、電源電圧仕様の異なるマイコンおよびセンサを備えたシステムにおいて、スイッチング電源の出力電圧をシリーズレギュレータによって安定化する場合、その出力電圧は最も高い電源電圧仕様に合わせて例えば6V以上に設定する必要がある。このとき、マイコンの電源電圧が例えば2.5Vであるとする、マイコンの電源回路に用いられるシリーズレギュレータには約3.5Vもの入出力電圧差が発生することになり、その熱損失が非常に大きくなってしまふ。そこで、このような場合には2つのスイッチング電源を備え、その一方の出力電圧をマイコン用として例えば4Vに設定し、その他方の出力電圧をセンサ用として例えば6Vに設定することが行われている。

【0004】一方、例えば車載用制御装置に用いられるスイッチング電源においては、電源であるバッテリー電圧が低下したときにスイッチング素子のオン抵抗増加やオン動作の失敗などが発生しないように、スイッチング素子の駆動電圧レベルを補償する電圧補償回路を設けることがある。

【0005】図6には、このような電圧補償回路を備えた2出力のスイッチング電源回路の一例が示されている。この図6において、入力端子INにはコイル1とコンデンサ2とからなるフィルタ回路3を介して、マイコン用およびセンサ用の電源回路4および5が接続されている。このうち電源回路4は、PチャネルMOSFET6、フライホイールダイオード7、コイル8、およびコンデンサ9からなる降圧チョップアップ回路10、並びに、抵抗11、12からなる出力電圧V1の検出回路13、検出電圧V1sと基準電圧V1rとが入力されるエラーアンプ14、コンパレータ15、前記FET6を駆動する駆動回路16、および電圧補償回路17から構成されている。

【0006】同様に、電源回路5は、PチャネルMOSFET18、フライホイールダイオード19、コイル20、およびコンデンサ21からなる降圧チョップアップ回路22、並びに、抵抗23、24からなる出力電圧V2の検出回路25、検出電圧V2sと基準電圧V2rとが入力されるエラーアンプ26、コンパレータ27、前記FET18を駆動する駆動回路28、および電圧補償回路29から構成されている。また、コンパレータ15および27には三角波発生回路30から共通の三角波信号Scが与えられるようになっている。

【0007】そして、入力端子INに入力される直流電圧VBがFET6、18を低オン抵抗の状態で駆動するのに不十分な電圧レベルにまで低下した時には、電圧補

償回路17、29は負電圧を生成する昇圧動作を行い、駆動回路16、28に対してその負の昇圧電圧を供給するようになっている。

【0008】上記構成によれば、PWM制御による電圧安定化制御が行われ出力端子OUT1およびOUT2からそれぞれ4Vの出力電圧V1および6Vの出力電圧V2を得ることができる。さらに、入力直流電圧VBが低下した場合であっても、電圧補償回路17、29の動作によってFET6、18を低オン抵抗の状態駆動することが可能となる。

【0009】

【発明が解決しようとする課題】ところで、上述した構成を1チップのICとして構成しようとする場合においては、電源回路4および5を作り込むことになるが、このIC化に際して特に面積を要する部分が電圧補償回路17や29である。この場合、電圧補償回路17、29をチャージポンプ回路により構成するものにあつては、そのコンデンサ部分の面積はチャージポンプ回路からの瞬時的な出力電流の大きさ（電流容量）に応じた分だけ必要となる。

【0010】従って、回路上で電圧補償回路17および29を1つの電圧補償回路としてまとめた構成とした場合でも、結局、電源回路4および5の両方の電流容量を加算しただけのコンデンサ容量を得るための面積が必要となる。このため、チップ面積の点から見た場合に大きな省スペース化にはつながらず、コストアップを避け難いという事情があった。

【0011】本発明は、上記事情に鑑みてなされたもので、その目的は、電圧補償回路を備えたとともに複数の出力電圧を得る電源回路において、電圧補償回路の回路規模を縮小化することのできるスイッチング電源回路を提供することにある。

【0012】

【課題を解決するための手段】上記した目的を達成するために請求項1に記載した手段を採用できる。この手段によれば、駆動回路が例えば電力変換回路への入力電圧（一例としてバッテリー電圧）に基づいてスイッチング素子を駆動する場合などにおいて、その入力電圧が低下して駆動電圧レベルがスイッチング素子を十分にオンすることができない程度に低下すると、電圧補償回路によって駆動電圧レベルの補償が行われる。つまり、電圧補償回路は、前記入力電圧などに基づいて昇圧動作などを行い、スイッチング素子を十分にオンすることができる電圧を生成する。

【0013】本スイッチング電源回路は複数の単出力電源回路を備えるため、前記電圧補償回路に負荷として接続される駆動回路の数も複数となる。そして、駆動回路がスイッチング素子をオンするための駆動電圧を出力している間、電圧補償回路から当該駆動回路に対して動作電流が供給される。この場合、本手段の制御回路によれ

は、スイッチング素子のオン期間を他のスイッチング素子のオフ期間の範囲内で設定してスイッチング動作を制御する構成となっているので、電圧補償回路から出力される動作電流の瞬時値が1つの駆動回路に対する動作電流の瞬時値を越えることがなくなる。

【0014】従って、電圧補償回路が複数の駆動回路の駆動電圧を補償する場合であっても、各スイッチング素子のオン期間を重複しないようにスイッチング動作を制御することで、電圧補償回路の電流供給能力を増やす必要がなくなり、1つの単出力電源回路について使用されていた回路をそのままの回路規模で用いることが可能となる。これにより、複数の出力電圧を有するスイッチング電源を構成するにあたり、電圧補償回路の設計コストや製造コストを下げるができる。また、電圧補償回路が制御回路や駆動回路とともにIC化される場合にあつては、電圧補償回路例えばチャージポンプ回路はその電流供給能力に応じた大きなチップ面積を占めるが、電流供給能力の増加が不要となる本手段によればチップ面積を縮小できコストを低減することができる。

【0015】請求項2に記載した手段によれば、2つの制御回路はそれぞれ電力変換回路の出力電圧をフィードバックして制御信号のデューティ比を制御するので、各電力変換回路の出力電圧は基準電圧に等しくなるように制御される。また、2つの制御信号生成回路は、上記定電圧制御の下で、共通に与えられるキャリア信号を基準レベル（例えば50%レベル）で2分した場合におけるキャリア信号の一方（正側）部分および他方（負側）部分を用いて制御信号を生成するように構成されているので、2つの制御信号が同時にスイッチング素子のオンレベルとなることがない。本手段は、制御信号のデューティ比を制御して定電圧化を図る従来の手段に対し、キャリア信号の使用範囲をその正側または負側に制限することで実現できるので、大きな設計変更を要せず採用し易い回路構成となっている。

【0016】請求項3に記載した手段によれば、2つの制御回路は、それぞれ前記キャリア信号の一方（正側）部分および他方（負側）部分に対して制御信号の取り得る最大のデューティ比（例えば50%）の範囲内において、制御信号を所定のデューティ比に制限するクランプ回路を備える。これにより、定電圧制御の結果にかかわらず、2つのスイッチング素子が同時にオンすることを確実に回避可能になっている。

【0017】

【発明の実施の形態】（第1の実施形態）以下、本発明を降圧チョッパ型のスイッチング電源回路に適用した第1の実施形態について図1ないし図3を参照しながら説明する。図1には、例えば車載用制御装置の電源として用いられるスイッチング電源回路の電氣的構成が概略的に示されている。この図1において、スイッチング電源回路41は、2つの電源回路（本発明でいう単出力電源

回路に相当) 42、43から構成されている。スイッチング電源回路41の入力端子INには、例えば図示しないバッテリーの電圧に基づいた直流の入力電圧VBが与えられている。この入力電圧VBはバッテリーの状態などにより、例えば0Vから35Vまでの範囲内で変動する特性を有している。また、電源回路42の出力端子OUT1および電源回路42の出力OUT2は、それぞれ図示しないシリーズレギュレータを介して前記車載用制御装置に備えられているマイクロコンピュータおよび各種センサ(何れも図示せず)の電源端子に接続されている。

【0018】上記電源回路42と43はほぼ同様の回路構成を有している。電源回路42は、降圧型チョッパ回路として構成される電源主回路(本発明でいう電力変換回路に相当)44、この電源主回路44の出力電圧V1を例えば4Vに定電圧制御する制御回路45、および駆動回路46から構成されている。また、電源回路43は、電源主回路47、この電源主回路47の出力電圧V2を例えば6Vに定電圧制御する制御回路48、および駆動回路49から構成されている。

【0019】入力端子INには、コイル50とコンデンサ51とから構成されるラジオノイズ防止用のL型フィルタ回路52を介して、上記2つの電源主回路44、47が接続されている。このうち電源主回路44は、スイッチング素子たるPチャネルのMOSFET53、フライホイールダイオード54、ローパスフィルタとしてのコイル55およびコンデンサ56から構成されており、前記フィルタ回路52の出力端子はFET53のソース・ドレイン間とコイル55とを介して出力端子OUT1に接続されている。また、FET53のドレインとグランド端子との間にはグランド端子側をアノードとするフライホイールダイオード54が接続され、出力端子OUT1とグランド端子との間には平滑用のコンデンサ56が接続されている。これに対して、電源主回路47も、PチャネルのMOSFET57、フライホイールダイオード58、コイル59、およびコンデンサ60を、電源主回路44と同様に接続することにより構成されている。

【0020】制御回路45は、出力端子OUT1とグランド端子との間に直列に接続されたフィードバック用の抵抗61、62から構成される電圧検出回路63、この電圧検出回路63から得られる検出電圧V1sと基準電圧V1r(出力電圧V1(例えば4V)に相当する電圧)との電圧偏差を増幅するエラーアンプ(本発明でいう偏差演算回路に相当)64、このエラーアンプ64から出力される電圧設定信号S1aの大きさを制限するクランプ回路65、および三角波発生回路(本発明でいうキャリア信号発生回路に相当)66からキャリア信号として出力される三角波信号Scと前記電圧設定信号S1aとのレベルを比較して制御信号S1bを出力するコンパレータ(本

発明でいう制御信号生成回路に相当)67から構成されている。ここで、エラーアンプ64は、その非反転入力端子に検出電圧V1sが入力され、その反転入力端子に基準電圧V1rが入力されるようになっている。また、コンパレータ67は、その非反転入力端子に電圧設定信号S1aが入力され、その反転入力端子に三角波信号Scが入力されるようになっている。

【0021】制御回路48も、制御回路45と同様に、出力端子OUT2とグランド端子との間に直列に接続された抵抗68、69から構成される電圧検出回路70、この電圧検出回路70から得られる検出電圧V2sと基準電圧V2r(出力電圧V2(例えば6V)に相当する電圧)との電圧偏差を増幅するエラーアンプ71、このエラーアンプ71から出力される電圧設定信号S2aの大きさを制限するクランプ回路72、および前記三角波信号Scと前記電圧設定信号S2aとのレベルを比較して制御信号S2bを出力するコンパレータ73から構成されている。ここで、エラーアンプ71は、その反転入力端子に検出電圧V2sが入力され、その非反転入力端子に基準電圧V2rが入力されるようになっている。また、コンパレータ73は、その反転入力端子に電圧設定信号S2aが入力され、その非反転入力端子に三角波信号Scが入力されるようになっている。

【0022】このように制御回路45と48は、エラーアンプ64の入力信号V1s、V1rに対する動作とエラーアンプ71の入力信号V2s、V2rに対する動作とが互いに反転した動作となるとともに、コンパレータ67の入力信号S1a、Scに対する動作とコンパレータ73の入力信号S2a、Scに対する動作とが互いに反転した動作となるように構成した点に特徴を有する。

【0023】駆動回路46、49は、それぞれコンパレータ67、73から出力される制御信号S1b、S2bを電力増幅して、FET53、57のゲート端子に印加する駆動電圧を生成するものである。そして、この駆動電圧の低下を補償するために、駆動回路46、49に対し共通の電圧補償回路74が設けられている。

【0024】この電圧補償回路74は、例えば図2に示すチャージポンプ回路として構成されている。この図2において、インバータ回路75の出力端子はコンデンサ76と順方向のダイオード77とを介してグランド端子に接続され、さらにインバータ回路75と直列に接続されたインバータ78の出力端子はコンデンサ79と順方向のダイオード80とを介して前記ダイオード77のアノードに接続されている。また、グランド端子と前記ダイオード80のアノードとの間にはコンデンサ81と順方向のダイオード82とが直列に接続され、そのダイオード82のアノードが出力端子とされている。

【0025】なお、上述した制御回路45、48、駆動回路46、49、および電圧補償回路74は1つのモノリシックIC83として構成されており、このIC83

を動作させるための電源電圧は、IC83内部に設けられた図示しない内蔵電源回路によって生成されるようになっている。

【0026】次に、本実施形態の作用について、図3も参照しながら説明する。まず、入力端子INに所定電圧（例えば3V）以上の入力電圧VBが与えられるとIC83が動作可能となる。このときの電源主回路44の降圧に係る電力変換動作は、よく知られているように、FET53のオンによって負荷（シリーズレギュレータを介したマイクロコンピュータ）に電力を供給するとともにコイル55に電流エネルギーを蓄積し、FET53のオフによってダイオード54を介して前記電流エネルギーをコンデンサ56に移すように行われる。この電力変換動作は電源主回路47についても同様となる。

【0027】図3は、これら電源主回路44、47を制御する制御回路45、48の動作について示したタイミング図である。電源回路42の出力電圧V1は、電圧検出回路63の抵抗61と62とによって分圧されて検出電圧V1sとしてエラーアンプ64に輸入される。エラーアンプ64は、その検出電圧V1sから基準電圧V1rを減算することにより電圧偏差を得、その電圧偏差を増幅して電圧設定信号S1aを出力する。

【0028】コンパレータ67は、この電圧設定信号S1aと三角波信号Scとを入力し、図3(a)に示すように両信号レベルの比較を行い、その結果を制御信号S1bとして出力する。つまり、制御信号S1bは、図3(b)に示すように、電圧設定信号S1aのレベルが三角波信号Scのレベル以上となる時にはFET53をオフさせるHレベルとなり、電圧設定信号S1aのレベルが三角波信号Scのレベル未満となる時にはFET53をオンさせるLレベルとなる。

【0029】従って、例えば検出電圧V1s（すなわち出力電圧V1）が基準電圧V1rよりも大きくなると、電圧設定信号S1aのレベルが高くなり、制御信号S1bのLレベル期間が狭まる。その結果、FET53のオン期間が短くなり出力電圧V1の上昇が抑えられる。このPWM制御方式を用いたフィードバック制御により、出力電圧V1が定電圧（4V）に保たれる。

【0030】上述した制御動作は、制御回路48についてもほぼ同様となる。ただし、制御回路48においては、エラーアンプ71は基準電圧V2rから検出電圧V2sを減算することにより電圧偏差を得る。また、コンパレータ73から出力される制御信号S2bは、図3(c)に示すように、電圧設定信号S2aのレベルが三角波信号Scのレベルを超える時にLレベルとなり、電圧設定信号S2aのレベルが三角波信号Scのレベル以下となる時にHレベルとなる。

【0031】ここで、制御信号S1b、S2bに着目すると、両者のLレベル期間は三角波信号Scの1/2周期だけずれた状態にあって重なることがなく、従ってFET53と57とが同時にオン状態となることがないことが分かる。これは、エラーアンプ64と71並びにコンパレータ67と73とをそれぞれ反転した状態（逆位相の状態）で動作させたことによる。このとき、制御信号S1bとS2bとについて常にLレベル期間が重ならないようにするためには、さらに制御信号S1bとS2bとのとり得るデューティ比（三角波信号Scの1周期Tに対するLレベル期間）を例えば互いに50%以下となるように制限する必要がある。

【0032】そこで、この制限を行うためにクランプ回路65、72が設けられている。すなわち、三角波信号Scを図3(a)に一点鎖線で示す基準レベル（例えば50%レベル）で2分し、クランプ回路65は電圧設定信号S1aがその基準レベル以下（負側）とならないように制限し、クランプ回路72は電圧設定信号S2aがその基準レベル以上（正側）とならないように制限する。その結果、制御回路45、48は、ともにFET53、57を0~50%のデューティ比の範囲内においてスイッチング動作させることになり、FET53、57が同時にオン状態となることを回避しつつ定電圧制御を行うことが可能となる。

【0033】さて、これら制御信号S1b、S2bは、それぞれ駆動回路46、49を介してFET53、57のゲート端子に駆動電圧として与えられる。FET53、57は、オン状態においてゲートソース間電圧が例えば5V以下に低下するとオン抵抗が増大しドレイン損失が増加するという特性を有している。そこで、チャージポンプ動作により入力電圧VBから負の電圧VP（<0）を生成する電圧補償回路74が用いられる。この電圧補償回路74には、入力電圧VBに応じてチャージポンプ動作を運転または停止するための図示しない昇圧動作制御回路を備えている。

【0034】すなわち、入力電圧VBが所定電圧（例えば8V）以上の場合には、電圧補償回路74はチャージポンプ動作を停止し、駆動回路46、49は、制御信号S1b、S2bのLレベルに対応してほぼ0Vの駆動電圧をゲート端子に出力し（ゲートソース間電圧としてはVB）、制御信号S1b、S2bのHレベルに対応してVBの駆動電圧をゲート端子に出力する（ゲートソース間電圧としては0V）。これに対して、入力電圧VBが前記所定電圧よりも低い場合には、電圧補償回路74はチャージポンプ動作を行い、駆動回路46、49は、制御信号S1b、S2bのLレベルに対応して前記負の電圧VPを有する駆動電圧をゲート端子に出力し（ゲートソース間電圧としてはVB-VP）、制御信号S1b、S2bのHレベルに対応してVBの駆動電圧をゲート端子に出力する（ゲートソース間電圧としては0V）。これにより、入力電圧VBが低下した場合にあって、駆動回路46、49はFET53、57のゲート端子にオンするのに十分な駆動電圧を与えることができ、FET53、

57のドレイン損失の増大やスイッチング動作の停止を防止することができる。

【0035】上記電圧補償回路74は、インバータ回路75の入力端子に適当な周波数（例えば1MHz）を持つ矩形波を入力することにより動作する（図2参照）。このとき、矩形波の電圧レベルが0Vと電圧VBとを交互に繰り返す毎に各ダイオード77、80、82がオンとオフとを交互に繰り返し、コンデンサ76の電荷が順次コンデンサ79、コンデンサ81に移されるポンプ動作が行われる。なお、図2に示すチャージポンプ回路は2段の構成を備えているが、必要に応じて3段、4段、…と増やしても良い。

【0036】このように、チャージポンプ回路の形態を有する電圧補償回路74はコンデンサ76、79、81を介した負の昇圧動作を行うので、その出力電流、特にその瞬時値が増えるに従って昇圧電圧が低下するという特性を有している。従って、図6に示したスイッチング電源回路のように、2つのFET6、18が同時にオンするものの場合、各駆動回路16、28毎にチャージポンプ回路としての電圧補償回路17、29を設けるか、もしくは2倍の電流供給能力を有する共通の電圧補償回路を設ける必要があった。

【0037】これに対して、本スイッチング電源回路41では、2つのFET53、57が同時にオンすることがないので、電圧補償回路74は1つの電源回路42（または43）に対する電流供給能力を備えれば十分であり、電圧補償回路74として従来用いていた電圧補償回路17（または29）をほぼそのままの回路規模で用いることができる（図3（d）参照）。従って、コンデンサ76、79、81の静電容量は、図6に示した電圧補償回路17および29に使用される全静電容量の約半分で済み、IC83のチップ面積を縮小化することができる。

【0038】以上述べたように、本実施形態によれば、駆動回路46、49が出力する駆動信号のオンレベルの低下を防ぐため共通に電圧補償回路74を設けるとともに、FET53と57との同時オン状態を回避するために、制御回路45、48それぞれが基準レベルで2分された三角波信号SCを用いて定電圧制御するように構成した点に特徴を有する。

【0039】これにより、電圧補償回路74は、駆動回路46と49とに同時に電流を供給する必要がなくなるので、駆動回路が2つになってもその電流供給能力を増やす必要がなくコストの低減を図れる。特に、電圧補償回路74をIC化する場合にあっては、そのチップ面積を大幅に節約することができるのでコスト低減の効果が大きい。

【0040】（第2の実施形態）次に、第1の実施形態に変形を加えた第2の実施形態について、図4および図5を参照して説明する。なお、図4において図1と同一

構成部分には同一符号を付して説明を省略し、以下異なる構成部分について説明する。図4には、スイッチング電源回路の電氣的構成が概略的に示されている。この図4において、スイッチング電源回路84は、単出力電源回路である上述した電源回路42と電源回路85とから構成されている。

【0041】この電源回路85の制御回路86において、エラーアンプ71は、その非反転入力端子に検出電圧V2sが入力され、その反転入力端子に基準電圧V2rが入力されるようになっている。また、コンパレータ73は、その非反転入力端子に電圧設定信号S2aが入力され、その反転入力端子には三角波信号Scを反転回路87を介して反転した三角波信号Sc'が入力されるようになっている。さらに、クランプ回路88は、電圧設定信号S2aが三角波信号Sc'を2分する際の基準レベル（例えば50%レベル）以下とならないように制限するものである（図5（c）参照）。

【0042】上記構成によれば、エラーアンプ71の入力信号V2s、V2rに対する動作はエラーアンプ64の入力信号V1s、V1rに対する動作と同位相の動作となるとともに、コンパレータ73の入力信号S2a、Scに対する動作はコンパレータ67の入力信号S1a、Scに対する動作と同位相の動作となる。従って、制御回路86の定電圧制御は、前述した制御回路45の定電圧制御と同様にされる。

【0043】しかしながら、制御回路86と45とでは、使用する三角波信号Sc'とScとが逆位相の関係にある。そのため、図5のタイミング図に示すように、制御信号S2bとS1bのLレベル期間は三角波信号Scの1/2周期だけずれて互いに重なることがない。従って、上記構成によっても、FET53と57とが同時にオン状態となることがなく、電圧補償回路74について第1の実施形態と同様の作用および効果を得ることができる。

【0044】（その他の実施形態）なお、本発明は、上述した各実施形態にのみ限定されるものではなく、次のように変形または拡張することができる。電源主回路44、47として降圧型チョッパ回路を用いたが、昇圧型チョッパ回路やスイッチングトランスを備えた絶縁型の電源回路などを用いても良い。また、スイッチング素子としてNチャネルのMOSFETを用いても同様に適用できる。

【0045】制御回路45、48、86は定電圧制御を行うように構成したが、定電流制御を行うように構成した場合であっても同様に適用できる。また、制御方式についても、スイッチング素子が互いのオン期間が重複しないように制御される限りPWM制御方式に限定されない。この場合、各スイッチング素子のオン期間を時分割制御する制御手段を新たに設けても良い。

【0046】スイッチング電源回路41および84は、

それぞれ2つの電源回路により構成したが、3つ以上の電源回路から構成しても良い。また、スイッチング電源回路41および84は、三角波信号Scを2分する基準レベルとして50%のレベルを用いたが、各電源回路の能力を勘案して他の基準レベルを用いても良い。

【0047】駆動回路46、49は、入力電圧VBを利用して駆動電圧を出力するように構成され、この入力電圧VBの低下によるゲート電圧の低下を補償する目的から電圧補償回路74を用いた。しかし、駆動回路46、49は、入力電圧VB以外の別の系統の電圧を利用して駆動電圧を出力するように構成しても良く、その場合ゲート電圧の低下を補償する目的、あるいは高い電圧から最適なゲート電圧を生成する目的により電圧補償回路74を設けることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すスイッチング電

源回路の概略的な電気的構成図

【図2】電圧補償回路の電気的構成図

【図3】制御回路の作用を説明するためのタイミング図

【図4】本発明の第2の実施形態を示す図1相当図

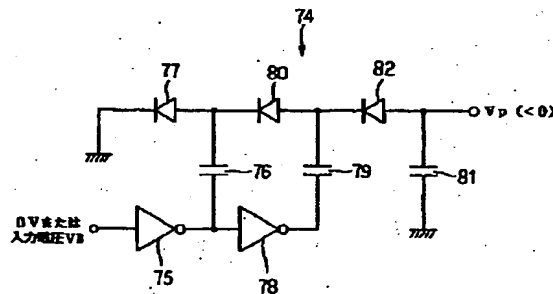
【図5】図3相当図

【図6】従来構成を示す図1相当図

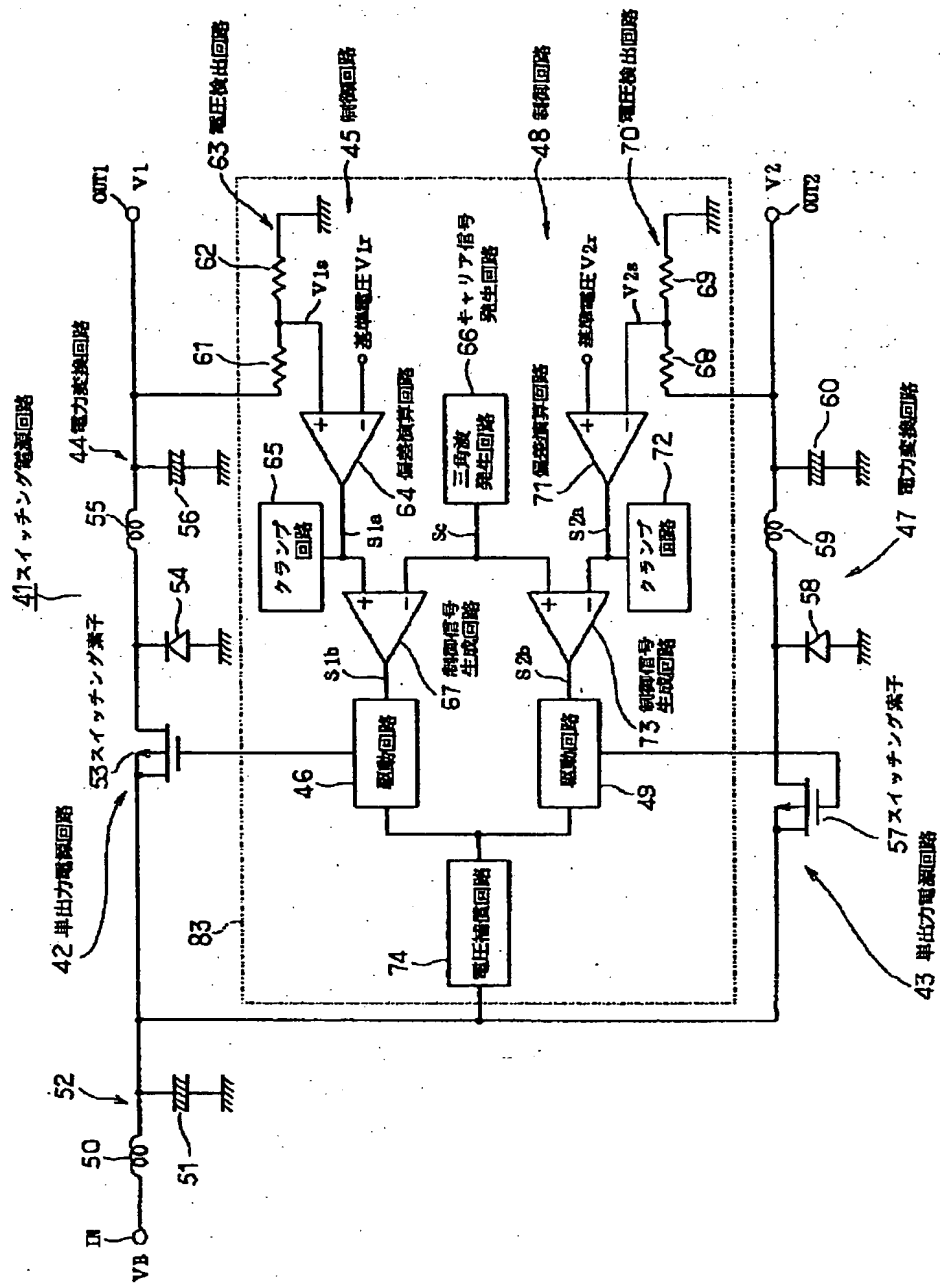
【符号の説明】

41、84はスイッチング電源回路、42、43、85は電源回路（単出力電源回路）、44、47は電源主回路（電力変換回路）、45、48、86は制御回路、46、49は駆動回路、53、57はMOSFET（スイッチング素子）、63、70は電圧検出回路、64、71はエラーアンプ（偏差演算回路）、65、72、88はクランプ回路、66は三角波発生回路（キャリア信号発生回路）、67、73はコンパレータ（制御信号生成回路）、74は電圧補償回路である。

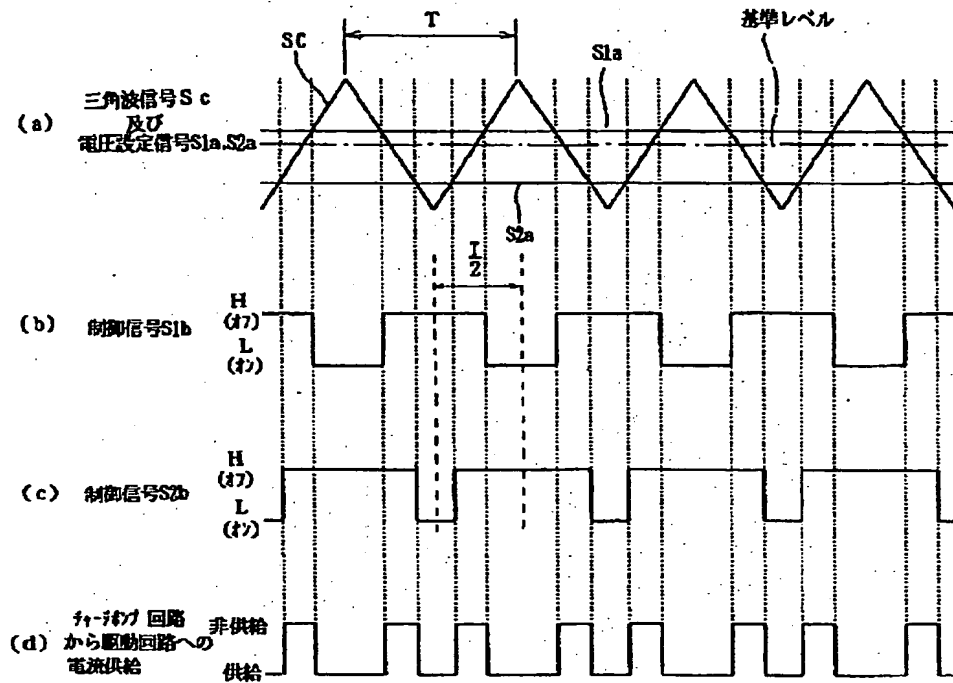
【図2】

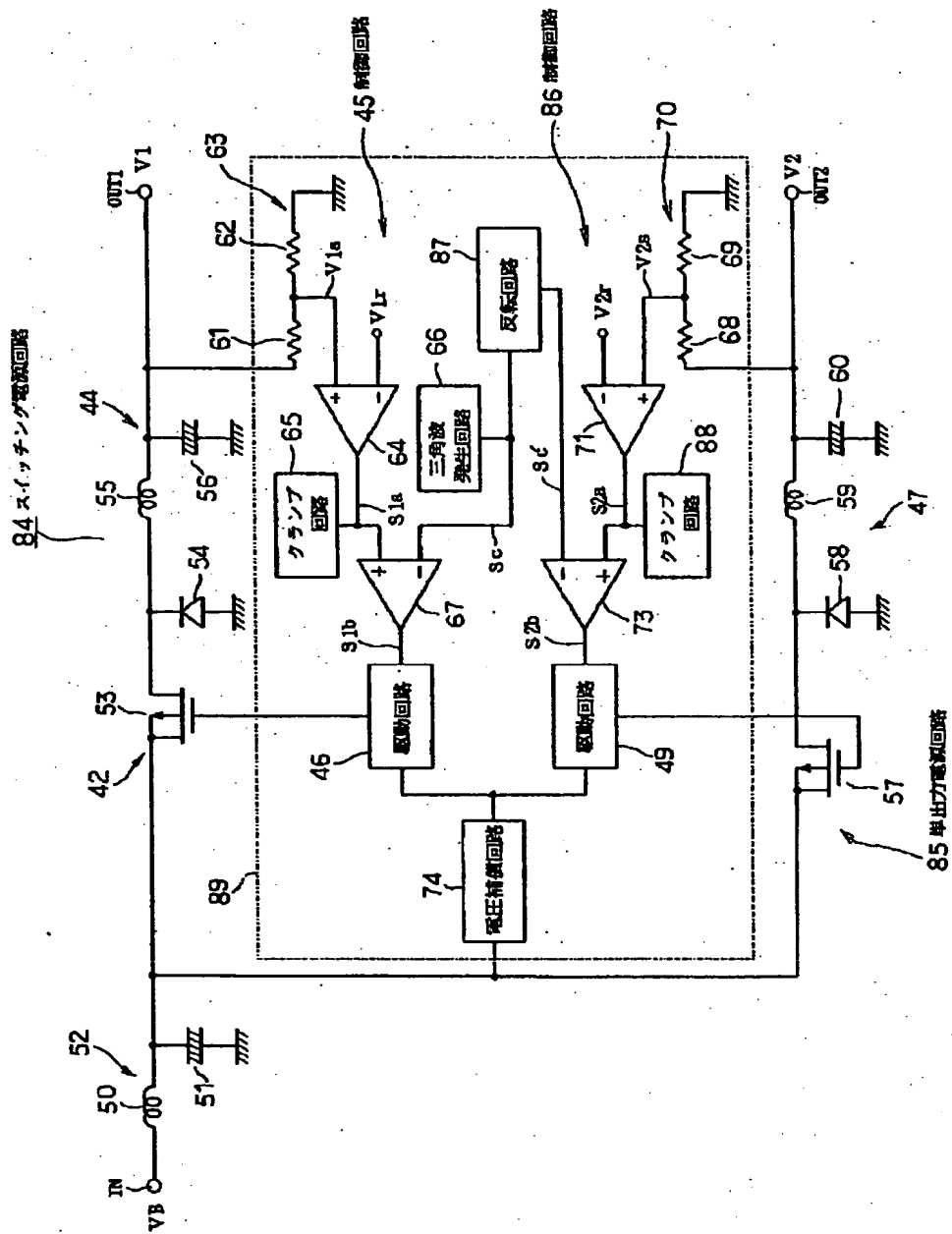


【図1】

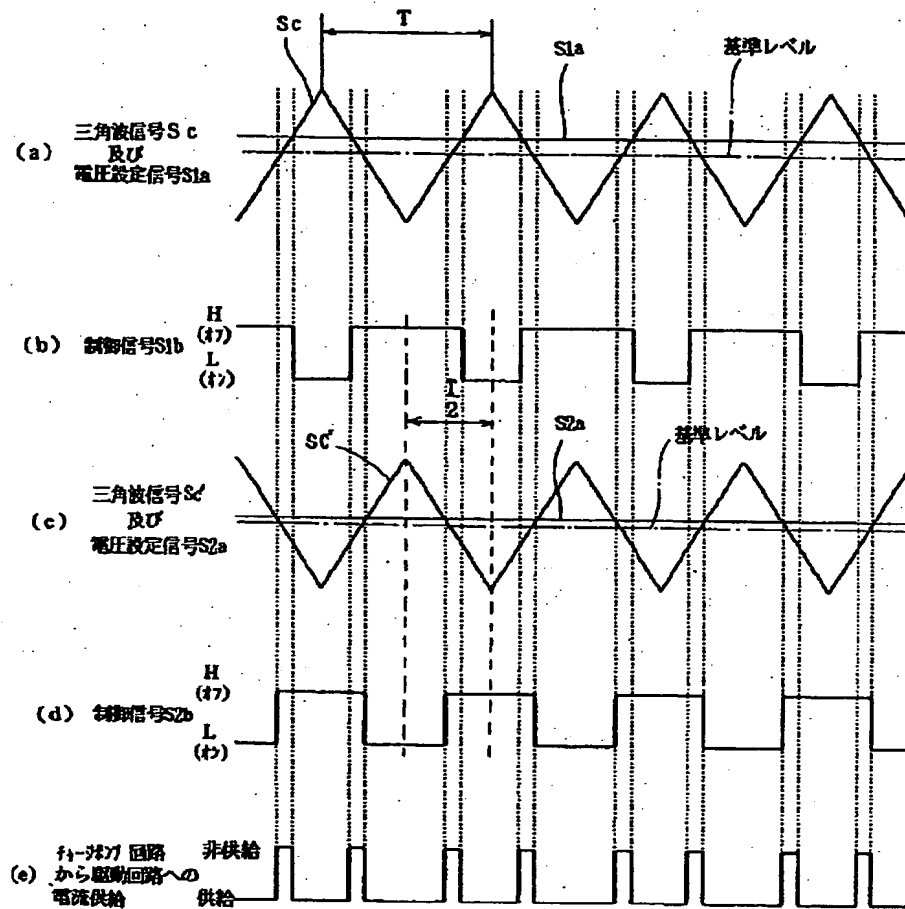


【図3】

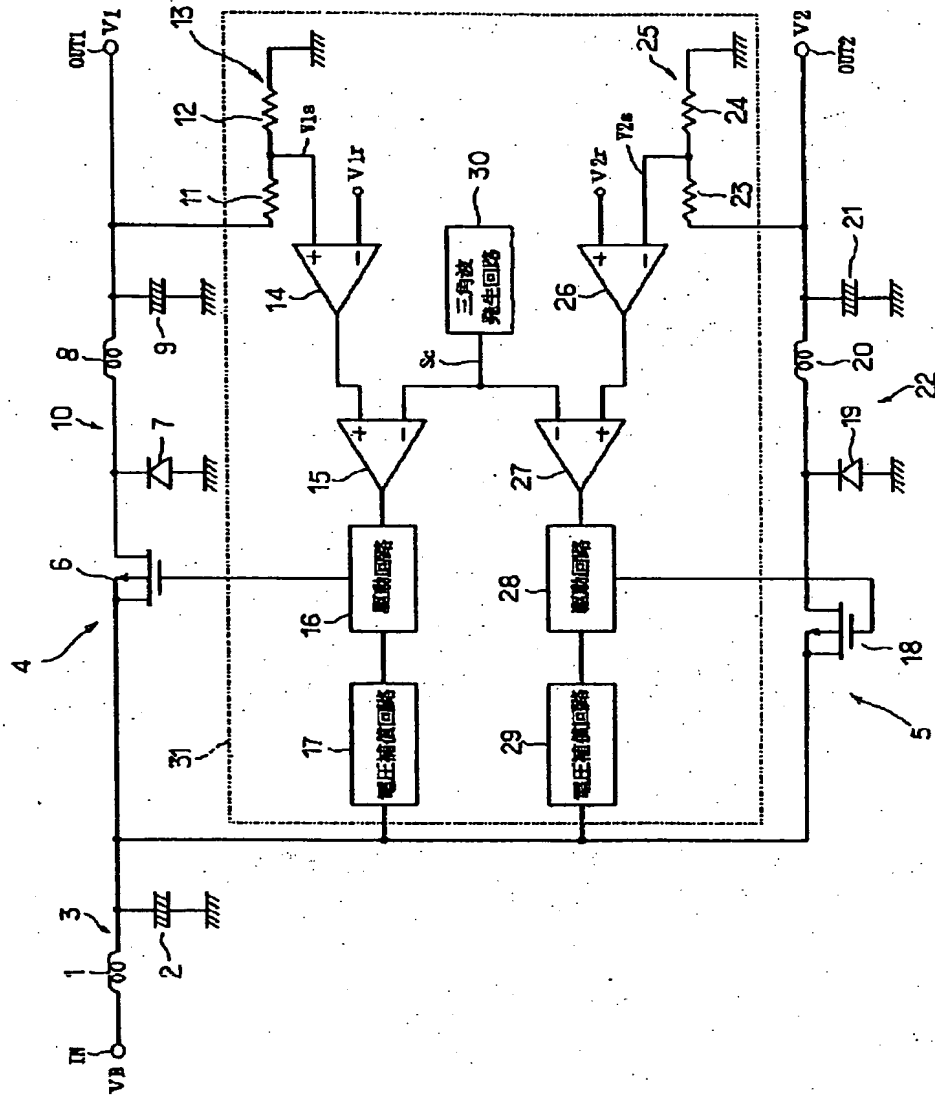




【図5】



【図6】



フロントページの続き

Fターム(参考) 5H410 BB02 BB04 CC02 CC10 DD02
 DD09 EA11 EA37 EB09 EB12
 EB15 EB28 EB37 FF03 FF25
 HH02
 5H730 AA15 AS01 AS19 BB13 BB82
 BB89 CC14 CC21 DD04 DD26
 EE08 EE10 EE59 EE61 FD01
 FF02 FG05 FG16

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.